

MENU

SEARCH

INDEX

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-278781

(43)Date of publication of application : 09.11.1989

(51)Int.Cl.

H01L 29/78

G11C 11/34

G11C 17/00

H01L 27/10

(21)Application number : 63-109658

(71)Applicant : NEC CORP

(22)Date of filing : 02.05.1988

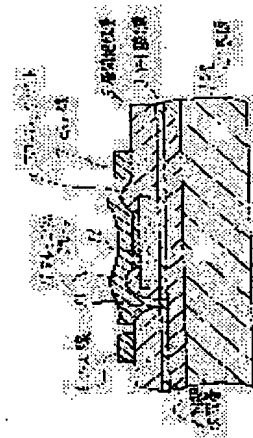
(72)Inventor : MATSUDA HAJIME

(54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To enable the writing with a low voltage without enlarging an element forming region and prevent a memory holding time from decreasing due to movable ions by a method wherein a metal conductive layer is formed on the whole area of a thin interlaminar insulating film to connect the metal conductive layer with a control gate.

CONSTITUTION: An interlaminar insulating film 12 of a region corresponding to a floating gate 4 formed of a polycrystalline silicon layer and a control gate formed of a diffusion layer is formed of a film whose thickness is smaller than that of an interlaminar insulating film 5 of other regions, and a metal conductive layer 11 formed on the whole area of a thin interlaminar insulating film 12 and the control gate are connected with each other. An aluminum plate 11 is provided onto the floating gate 4 through the intermediary of a thin oxide film. By these processes, a capacitance can be increased without enlarging an element forming region, whereby the writing can be executed with a low voltage. And, the aluminum plate serves as a barrier against movable ions and charges stored at the floating gate are not neutralized, so that a memory holding time does not decrease.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-278781

⑬ Int.Cl. ⁴	識別記号	庁内整理番号	⑭ 公開 平成1年(1989)11月9日
H 01 L 29/78	3 7 1	7514-5F	
G 11 C 11/34	3 5 2	A-8522-5B	
17/00	3 0 7	D-7341-5B	
H 01 L 27/10	4 3 3	8624-5F	審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 不揮発性半導体記憶装置

⑯ 特 願 昭63-109658

⑰ 出 願 昭63(1988)5月2日

⑱ 発 明 者 松 田 肇 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

不揮発性半導体記憶装置

特 許 請 求 の 範 囲

コントロールゲート及び一層の多結晶シリコン層で形成されるフローティングゲートを有する不揮発性半導体記憶装置において、前記多結晶シリコン層でなるフローティングゲートと拡散層でなるコントロールゲートとに対応する領域の層間絶縁膜が他の領域の層間絶縁膜より薄い膜厚に形成され、前記薄い層間絶縁膜の全域上に金属導電層が形成され、前記金属導電層と前記コントロールゲートとが接続されていることを特徴とする不揮発性半導体記憶装置。

発 明 の 詳 細 な 説 明 書

(産業上の利用分野)

本発明は不揮発性半導体記憶装置に関し、特に、一層の多結晶シリコン層で形成されるフローティングゲートを有する不揮発性半導体記憶装置に関する。

(従来の技術)

従来、この種の不揮発性メモリは一つのトランジスタで構成されるメモリ素子をマトリックス状に配置し、アドレスされたメモリ素子に電荷を蓄積することにより情報を書きこみ記憶させる。また、この記憶された情報である電荷の消去方法には、電氣的に消去する方法と紫外光による方法がある。

第4図は従来の電氣的消去可能なEPROMの素子を示す平面図、第5図は第4図のA-A断面を示す断面図である。このEPROMは電氣的に消去可能な所謂EEPROM(Electrically EPROMの略称、以下EEPROMと言う)である。このEEPROMはP型シリコン基板1の上に一層の多結晶シリコン層でなるフローティングゲート4とコントロールゲートとな

る制御拡散層2とN⁺型拡散層9で形成されるドレーン領域と電荷を注入するトンネル酸化膜とでなるメモリトランジスタ領域と、読み込み、書き込み及び消去を選択する選択用のトランジスタ10の領域とから構成される。トランジスタ10の領域は、ソース線6またはビット線7からコンタクトを介して接続されるN⁺型拡散層9で形成されるソース領域及びドレーン領域と、ワード線8に連なるメモリトランジスタと同じフローティングゲート4で形成されている。メモリトランジスタ領域は、トランジスタ10のソース領域と兼ねているドレーン領域と、ゲート酸化膜3の上に形成されたフローティングゲート4と、このフローティングゲート4とゲート酸化膜3を挟むようにP型シリコン基板1上に配置された制御拡散層2と、メモリトランジスタのドレーン領域と制御拡散層2との間に位置するゲート酸化膜3の一部の膜厚が薄く形成されてなるトンネル酸化膜14とでなる。このEEPROMに書き込みを行なう場合は、制御拡散層2に高電位を印加し、トンネル

効果によりフローティングゲート4にドレーン領域からトンネル酸化膜14を通して電子を注入して蓄積させる。この書き込みの際に、トンネル酸化膜14に印加される電圧Vは次式で表わされる。

$$V = V_0 \times C_2 / C_T$$

V₀ : コントロールゲート(制御拡散層)に印加する電圧。

C₂ : フローティングゲートとコントロールゲート(制御拡散層)間の容量。

C_T : C₂を含めたフローティングゲートと他の層との容量の総和。

このため、書き込み易いように、出来るだけトンネル酸化膜に印加する電圧を大きくなるように、C₂を大きくし、C₂以外のフローティングゲートと他の層との容量を減らすように設計されている。また、図示はされていないが、C₂の容量をより大きくする例として、二層多結晶シリコン電極構造のものがある。これは、多結晶シリコン層のフローティングゲートの上に多結晶シリコン層のコントロールゲートを設けて、コントロールゲ

ートとフローティングゲートの重なる面積を大きくして容量をより大きくしたものである。

(発明が解決しようとする課題)

上述の従来のEEPROMでは、フローティングゲートと制御拡散層との重なる面積が大きく得られないので、容量が小さく、小さな印加電圧でトンネル酸化膜に加わる電圧を大きくすることが出来ない。また、容量を大きくするためにフローティングゲートの面積を大きくすることも考えられるが、二層多結晶シリコン電極構造に比べると能動領域の面積は2~3倍必要となり、素子形成領域が非常に大きくなるという問題がある。

更に、これらのEEPROMのフローティングゲートの上は層間絶縁膜とパッシベーション膜のみで被覆されているので、通常の樹脂モールドのような場合は、樹脂封止後に水分を吸収することによって、樹脂中のナトリウム化合物がNa⁺イオンに分解され、このNa⁺可動イオンがフローティングゲートに集束され、蓄積された電子を中和するという問題がある。

本発明の目的は素子形成領域を大きくすることなくより低い電圧で書き込み出来、可動イオンにより記憶保持時間を減ずることのない不揮発性半導体記憶装置を提供することにある。

(課題を解決するための手段)

本発明の不揮発性半導体記憶装置は、コントロールゲート及び一層の多結晶シリコン層で形成されるフローティングゲートを有する不揮発性半導体記憶装置において、前記多結晶シリコン層でなるフローティングゲートと拡散層でなるコントロールゲートとに対応する領域の層間絶縁膜が他の領域の層間絶縁膜より薄い膜厚に形成され、前記薄い層間絶縁膜の全域上に金属導電層が形成され、前記金属導電層と前記コントロールゲートとが接続されていることを含んで構成される。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は本発明による第1の実施例を説明するための半導体チップの部分平面図、第2図は第1図のA-A断面を示す断面図である。この実施例

は、FLOTOX型EEPROMに適用した例である。選択用のトランジスタ10の領域は、従来例と同じように、アルミニウム蒸着で形成されたソース線6とコンタクトを介して連なるN⁺型拡散層9のソース領域と、やはりアルミニウム蒸着で形成されたビット線7とコンタクトを介して連なるN⁺型拡散層9からなるドレーン領域及び多結晶シリコン層で形成されるワード線8と連なるゲート領域で形成される。次に、メモリトランジスタの領域には、P型シリコン基板1の上にN型不純物を拡散して形成されたコントロールゲートとなる制御拡散層2があり、その上にゲート酸化膜3が形成されている。ゲート酸化膜3の上に選択用とトランジスタのゲートと一体に形成された多結晶シリコン層のフローティングゲート4がある。更に、フローティングゲート4の上には層間絶縁膜で覆われ、制御拡散層2及びフローティングゲート4とに対応した領域は層間絶縁膜の薄い領域12で、他の領域は厚い層間絶縁膜5で形成されている。また、層間絶縁膜の薄い領域12は

ゲート酸化膜3と同程度の厚さと膜質とで形成されている。これらの層間絶縁膜の上にアルミニウムプレート11が形成され、このアルミニウムプレート11はコンタクト13により厚い領域の層間絶縁膜5を貫通して制御拡散層2と接続されている。更に、従来例と同様にトランジスタ10のソース領域と兼ねるメモリトランジスタ領域のドレーン領域とフローティングゲート4との間にはトンネル酸化膜14がある。

次に、この記憶装置の製造方法を説明すると、まず、P型シリコン基板1の表面にLOCOS法によりフィールド酸化膜を形成して素子形成領域を分離する。次に、N型不純物を注入してトランジスタ10のソース領域及びドレーン領域になるN⁺型拡散層9とメモリトランジスタの制御拡散層2を形成する。次に、トランジスタ10のゲート酸化膜、制御拡散層2の上にゲート酸化膜3及びトンネル酸化膜14を形成する。次に、トランジスタ10のゲート及びフローティングゲート4を多結晶シリコン層を成長させて形成する。次

に、CVD法によりシリコン酸化膜を成長させ、トランジスタのゲート及びフローティングゲート4を覆うように層間絶縁膜5を形成し、ホトリソグラフィ法とドライエッチング法により、フローティングゲート4及びN⁺型拡散層2と対応した部分の層間絶縁膜5の一部を選択的に除去し、フローティングゲート4を露出させる。次に、酸化性雰囲気中で熱処理することにより層間絶縁膜5の表面を滑らかにするとともに露出したフローティングゲート4上にゲート酸化膜3と同程度の厚さのシリコン酸化膜を形成して層間絶縁膜の薄い領域12を形成する。次に、コンタクト穴13を形成し、金属蒸着法により、アルミニウムを蒸着してアルミニウム金属層を形成し、アルミニウム金属層を選択的に除去して、アルミニウムプレート11、ソース線6及びビット線7を形成する。ちなみに、この構造のEEPROMを製作したところ、従来のEEPROMの書き込み電圧が19Vに対して13.5Vという低い電圧で書き込むことが出来た。

第3図は本発明の第2の実施例を説明するための半導体チップの部分平面図である。この実施例は紫外線で消去出来るEPROMに適用した例である。このEPROMは、ソース線6とコンタクトを介して連なるN⁺型拡散層で形成するソース領域と、ビット線7とコンタクトを介してN⁺型拡散層で形成するドレーン領域と、多結晶シリコン層で形成されるゲート領域とでなる選択用のトランジスタ10が構成される。このトランジスタ10に隣接するメモリトランジスタの領域は、トランジスタ10のゲートと一体化して形成される多結晶シリコン層でなるフローティングゲート4とN⁺型拡散層で形成されるソース領域と兼ねるドレーン領域と、制御拡散層2とでなるコントロールゲートと、フローティングゲート4及び制御拡散層2に対応する部分に膜の薄厚の薄いシリコン酸化膜でなる薄い層間絶縁膜12とその上に形成されるアルミニウムプレート11とで構成される。勿論、アルミニウムプレート11は厚い領域の層間絶縁膜5を貫通するコンタクト13により

制 御 広 散 層 2 と 接 続 さ れ る。

尚、以上の実施例を説明するための図面には、フローティングゲート４と層間絶縁膜の薄い領域１２とが判別し易いように、層間絶縁膜の薄い領域１２はやや小さいく描いてあるが、四角状のフローティングゲート４の部分と同じ大きさでも差支えない。

〔發明の効果〕

以上説明したように本発明は、EPROMのフローティングゲートの上に薄い酸化膜を介してアルミニウムプレートを設けたので、従来のEPROMのようにフローティングゲートと下部の導電層のみの構造に比べて、従来の容量と同程度の設計であれば、荷電蓄積領域の面積は半分で済むことになる。このことは素子形成領域を大きくしなくとも容量を上げることが出来るので、より低い電圧で書き込み出来るという効果があり、また、フローティングゲート上のアルミニウムプレートを設けることにより、アルミニウムプレートが可動イオンに対してバリヤとなるので、フローティ

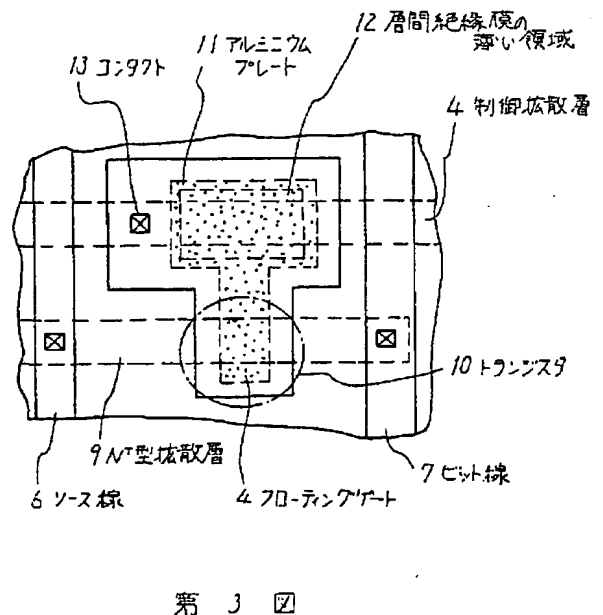
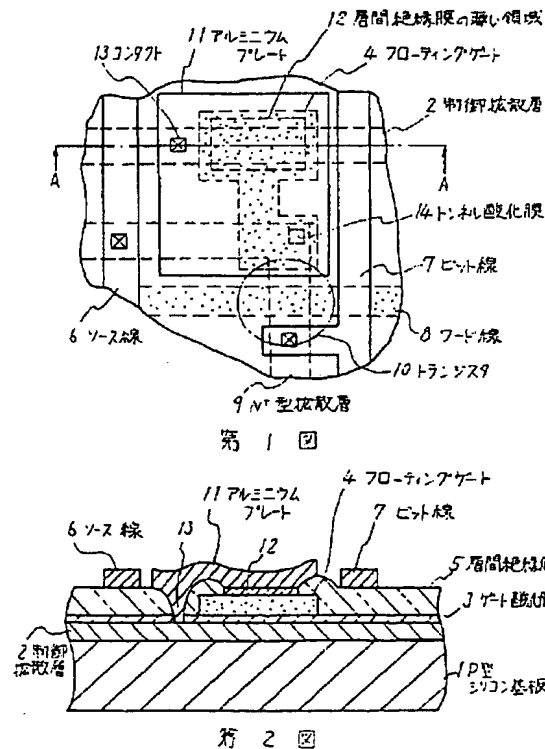
ングゲートに蓄積された電荷を中和することがないので記憶保持時間を減ずることのないという効果もある。

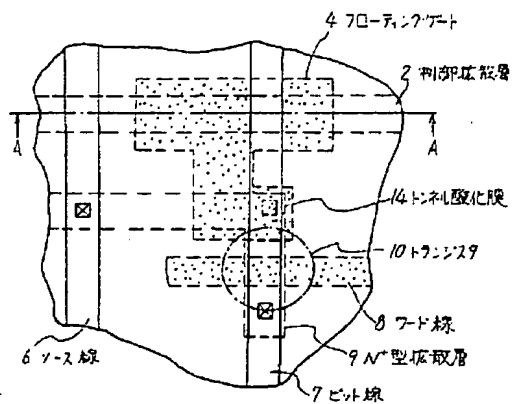
図面の簡単な説明

第1図は本発明による第1の実施例を説明するための半導体チップの部分平面図、第2図は第1図のA-A断面を示す断面図、第3図は本発明の第2の実施例を説明するための半導体チップの部分平面図、第4図は従来の電氣的に消去可能なEPROMの素子を示す平面図、第5図は第3図のA-A断面を示す断面図である。

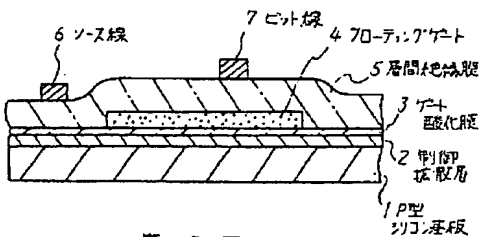
1…P型シリコン基板、2…制御拡散層、3…ゲート酸化膜、4…フローティングゲート、5…層間絶縁膜、6…ソース線、7…ビット線、8…ワード線、9…N⁺拡散層、10…トランジスタ、11…アルミニウムプレート、12…層間絶縁膜の薄い領域、13…コンタクト、14…トンネル酸化膜。

代理人 弁理士 内 原 晋





第 4 図



第 5 図